

文章编号:1007-2780(2016)04-0386-06

基于 FPGA 的 BiSS-C 协议编码器接口 技术研究及解码实现

王希远,成 荣,朱 煜,孙 贤
(清华大学 机械工程系,北京 100084)

摘要:为了满足光刻机工件台超精密运动控制系统对位移测量的需求,本文提出了基于 FPGA 的 BiSS-C 协议解码方法,并针对该方法进行了电路设计以及实验验证。首先,研究了 BiSS-C 协议内容,就其组网方式和帧格式做了详细的介绍。然后,针对绝对式编码器解码要求,利用 FPGA 拓展性好、灵活性高等特点,通过状态机,设计了绝对式编码器的数据传输电路,实现了 BiSS-C 协议的译码功能,并采用 CLE-AA 容栅尺进行了应用验证。最后,进行了与增量式光栅尺的对比较准实验。实验表明,容栅尺绝对式编码器可实现 10 kHz 的传输速率,运动误差在 $\pm 5\ \mu\text{m}$ 之内,其可靠性与准确性满足超精密运动控制系统的粗定位要求。

关 键 词: BiSS-C; FPGA; 容栅尺; 编码器

中图分类号: TP212.9 **文献标识码:** A **doi:** 10.3788/YJYXS20163104.0386

Research and realization of BiSS-C protocol encoder interface based on FPGA

WANG Xi-yuan, CHENG Rong, ZHU Yu, SUN Xian

(*Department of Mechanical Engineering, Tsinghua University, Beijing 100084, China*)

Abstract: In order to meet the displacement measuring requirement of the lithography machine wafer stage ultra-precision motion control system, a BiSS-C protocol decoding method has been proposed, which is based on FPGA. The circuit design and experimental verification are carried out as well. Firstly, the BiSS-C protocol is analyzed and its configuration and data frame are presented in detail. Secondly, because of its characteristics of powerfulness and flexibility, FPGA has been used to realize the decoding function. The circuit to transmit the data of absolute encoder is designed and applied on the CLE-AA grating-shape capacitive encoder. Finally, a comparison with the relative encoder of grating sensor is carried out. Experimental results indicate that the transmit rate of absolute encoder of the capacitive sensor is up to 10 kHz with the error limiting in $\pm 5\ \mu\text{m}$. Its accuracy and reliability can satisfy the requirement of ultra-precision motion control system.

Key words: BiSS-C; FPGA; grating-shape capacitive ruler; encoder

收稿日期: 2015-09-30; **修订日期:** 2015-12-25.

基金项目: 国家自然科学基金(No. 51475261)

Supported by National Natural Science Foundation of China(No. 51475261)

* 通信联系人, E-mail: wxy713@163.com

1 引言

BiSS(Bidirectional Synchronous Serial)是 iC-Haus 公司于 2002 年推出的一种开放数字接口协议。BiSS 接口协议为传感器和执行器提供了双向快速的通信标准,使用简单硬件即可实现,适用于实时数据采集^[1-2]。它具有开放性、高速性等优点,并且在组网方式和线延迟补偿方面较其他接口有领先优势^[3]。

BiSS 协议目前最新的版本为 BiSS-C,与之前 BiSS-B 协议完全兼容。BiSS 通信协议的解码可以通过硬件解码、软件解码或者软硬件混合解码。相较于软件解码,硬件解码可以提供更高的通信速度,并且节约了外部逻辑电路的成本。

BiSS 通信的硬件解码可以通过 BiSS Master 芯片、单片机或者 FPGA 来实现^[4]。其中,厂商的解码芯片往往价格较高,并且拓展性差,会增加电路板的复杂程度。单片机由于其性能限制,往往无法较快较好地完成通信任务。FPGA 因其功能强大、拓展性好、灵活性高、成本较低等特点,是一种较为理想的解码实现方式^[5]。

容栅尺具有量程大、分辨率高、动栅移动速度快、结构简单易于机械设计、微功耗、低成本、数字式传输等特点,适合应用于超精密运动系统中^[6]。本实验研究的 CLE-AA 容栅尺所使用的数字编码器采用了 BiSS-C 协议进行测量数据的传输。

本文首先介绍了 BiSS-C 协议,然后阐述其通信接口的连接电路以及 FPGA 模块的设计,最后在容栅尺上进行了实际测试与应用。

2 BiSS-C 协议简介

2.1 BiSS-C 组网方式

BiSS-C 协议是一种开放式全双工同步串行通信协议,其组网方式包含点对点(point-to-point)模式和总线(bus)模式两种^[7]。

在点对点模式中,主控接口(master)上只连接一个带有若干从接口(slave)的设备。主控接口通过差分信号向从接口提供时钟;从接口通过 SL 信号线,同步地将传感器数据从第一个接口传送回主控接口。在点对点模式中,主控接口可以接受从接口的数据,同时与从接口进行双向数据

通信。其结构如图 1 所示。

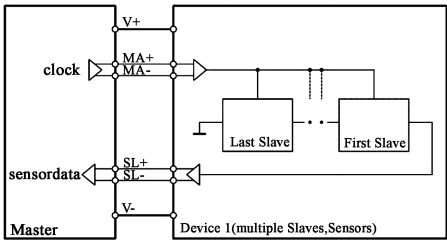


图 1 BiSS-C 协议点对点模式结构
Fig. 1 Point-to-point configuration of BiSS-C

在总线模式中,所有设备呈链状首尾连接,每一个设备还可包含多个从接口。主接口可以在一个周期内完成与多个从接口的通信。每个从接口有两个端子(SLO 和 SLI),分别用于接收前端信号和向后端发射信号。每个从接口将接收到的数据放在自己发送队列的队尾,同时将自身的数据优先发出。所连接的从接口数量是没有限制的,这体现了 BiSS 协议良好的扩展性。其结构如图 2 所示。

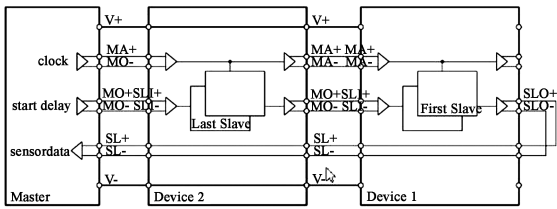


图 2 BiSS-C 协议总线模式结构
Fig. 2 Bus configuration of BiSS-C

2.2 BiSS 的帧结构和数据通信

BiSS 协议中每个通信周期传输一帧的数据通信信道和一个帧位的寄存器通信信道。其中,寄存器通信和数据通信完全独立,互不干涉。对于不需要寄存器通信的情况,可以使用单向 BiSS-C(BiSS-C Unidirectional)版本。单向 BiSS-C 协议没有寄存器通信,这使得应用更加便利^[8]。图 3 与图 4 分别为点对点模式与总线模式的时序图。

由图 3 可以看出,在不工作时,MA(Master Clock)和 SLO 信号都置高。开始发送时钟后,其第一个上升沿用于同步所有从接口。在时钟开始工作的第二个上升沿,SLO 将信号置低,表示生成"Ack"(Acknowledge)。实际系统中,由于长线延迟、信号整形滤波等因素,SLO 信号与 MA 有

一定的延迟(line delay),BiSS 协议规定每个通信帧发起时都要检测此延迟,并加以修正。“Ack”状态持续,直到出现一个表示开始的“start”高电平和一个“CDS”(Control Data Slave)位。以此为标志,之后的若干位数是数据信息。所有的数据均以 MSB 模式发送。当数据传送完毕,BiSS 帧以低电平超时结束(Timeout)。在超时这段时间里,MA 信号的相反状态称为 CDM(Control Data

Master)位。之后,MA 信号再次置高,等待时钟来发布下次数据。

图 4 所示为总线模式 BiSS-C 协议时序帧结构,与点对点模式的类似,只是每个从接口不仅要发送自己的数据,还要接收并转发前一个从接口发过来的数据。BiSS 协议带有 CRC 校验功能,支持 0~8 位的 CRC 校验位,一般加在传输数据末端,以保证数据安全。

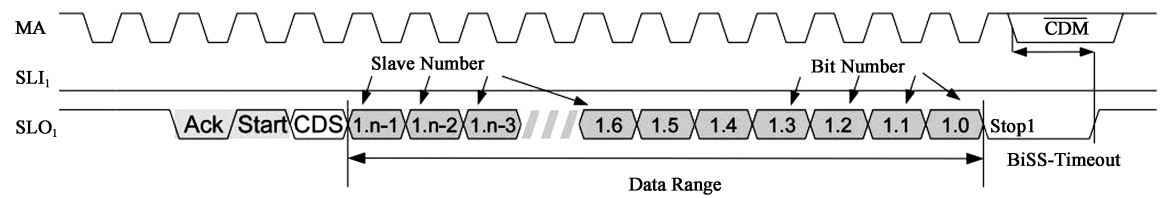


图 3 点对点模式 BiSS 帧
Fig. 3 BiSS frame (point-to-point configuration)

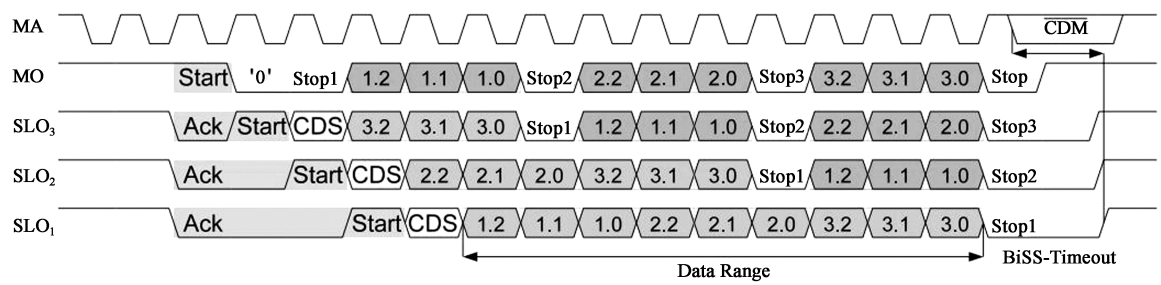


图 4 总线模式 BiSS 帧(3 个从接口)
Fig. 4 BiSS frame with 3 slaves (bus configuration)

3 基于 BiSS 协议的绝对式容栅尺编码器通信接口电路设计

3.1 硬件平台设计

本实验基于 Altera 公司型号 Cyclone III-EP3C40F484C8 的 FPGA 芯片,对 KappaSense 公司 CLE-AA-370/670 线性绝对容栅尺编码器进行通信接口电路设计。编译环境为 Quartus II 11.0,使用 VerilogHDL 语言。

实际电路中,编码器通过 DB9 接口,将信号传给 SN75HVD10D 差分信号收发器。编码器使用 BiSS-C Unidirection 版本协议,发送时钟和位置数据两组差分信号。信号经差分线路收发器处理之后传给 FPGA。FPGA 经过解码校验,将得

到的数据通过光纤传输给上位机读取数据。

3.2 FPGA 接口模块的设计

容栅尺编码器具体时序如图 5 所示。

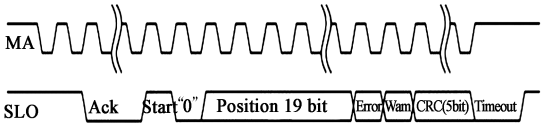


图 5 编码器 BiSS 协议时序图
Fig. 5 BiSS frame of the CLE-AA encoder

由图 5 中的时序可以看出,在不工作时,时钟和信号都置高;在时钟开始工作的第二个上升沿,编码器将信号置低,表示开始。在等待 n_1 个时钟后,会出现相邻的一个“Start”高电平和一个“0”的低电平。以此为标志,之后的 19 位数是位置信息。紧接着一位“Error”,一位“Warn”,用于检测

解码是否正常,“Error”和“Warn”置 0 表示解码出现错误。之后为 5 位的“CRC”校验位。CRC 校验公式为 $G(x) = x^5 + x^2 + 1$,即校验码为 100101。之后时钟置高,编码器信号置低,表示“Timeout”。等待 n_2 个时钟后,编码器信号再次置高,等待发布下一组数据^[9]。其中 n_1 和 n_2 的时钟数无硬性规定,一般为 2~5 个时钟,但由于采样频率的要求,需要对这两个时钟数进行限制,在本实验中,每次采集要求 300 个时钟周期,如果 n_1 或 n_2 超过 100 个时钟,则直接打断,认为此次采集出错,等待进行下一次数据采集。

按照 BiSS 协议特点,将 FPGA 程序设计按照功能进行模块化,包括时钟发生器、解码模块和 CRC 校验模块。

时钟模块负责发送时钟,所用容栅尺编码器要求工作时钟(MA)的频率在 1.2~5 MHz 之间,由于板卡时钟由 50 MHz 的外部晶振产生,故需要 FPGA 中 PLL 锁相环分频产生系统所需时钟。实验利用 2 个 PLL 锁相环,第一个锁相环将 50 MHz 的时钟降至 5 MHz,第二个锁相环将 5 MHz 的时钟变为 3 MHz,此时钟供解码模块和 CRC 校验模块使用。

解码模块用来解码收到的数据,它是由状态机实现^[10-11]。解码模块状态框图如图 6 所示,在

初始上电或者复位后,首先检测编码器发送的数据是否处在高电平,即空闲(Idle)状态。当检测到空闲状态时,就发送时钟 MA。这时,按照 BiSS 帧应依次出现“Ack”、“Start”和“0”状态,如果检测不到这个顺序或者超时,直接进入“超时”状态等待下一次再接收数据;如果检测通过,就接收“0”位之后的 19 位位置信号,2 位检测信号和 5 位校验码。接收完毕之后停止发送时钟,等待超时结束,接着再进入下一次的循环。

CRC 校验模块负责校验数据是否正确,并将结果输出。解码模块将接收到的 19 位位置信号、2 位检测信号和 5 位校验码共 26 位数据传输给 CRC 校验模块,CRC 模块将其与校验码“100101”进行校验,如果校验通过,即 26 位信号与校验码相除余数为 0,就将信号输出给上位机;如果校验错误,则接收下一组数据,并发送一次“出错”信息,上传给上位机,供上位机记录数据采集过程中数据出错个数。

3.3 实际测试结果

图 7 为一组实际传输波形图片。上方的通道 1 为时钟信号 MA,下方通道 2 为 SL 数据信号。由图 7 可以看出,时钟信号发送与写入规则一样,SL 数据信号符合 BiSS 协议。上位机此时也可以正确读取数据。这表明了整个基于 FPGA 的 BiSS 协议接口电路已经实现了通信与解码目的。

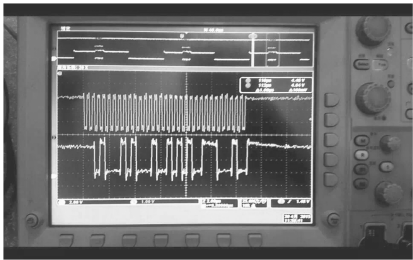


图 7 实际传输波形

Fig. 7 Waveform of the clock and data

4 校准对比实验

为了验证容栅尺的准确性,在光刻机工件台粗动台上同时安装增量式光栅尺和绝对式容栅尺。光栅尺测量精度为 0.5 μm;容栅尺测量精度为 2 μm,通过对比两种方式得到的数据来进行容栅尺的粗标定实验。

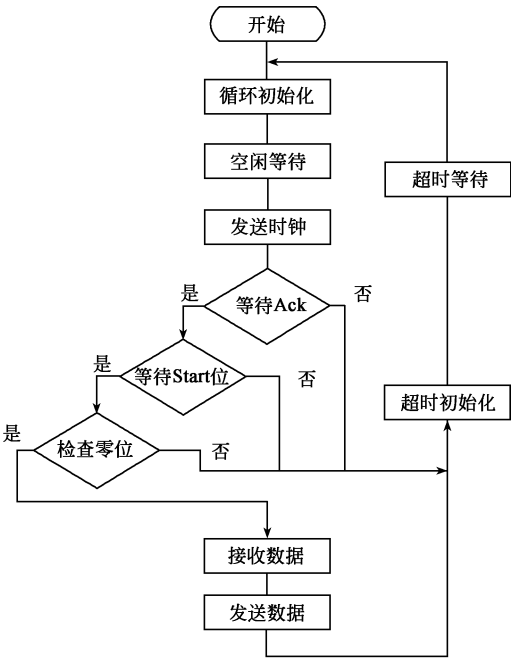


图 6 解码模块状态机框图

Fig. 6 Finite state machine in the decoding block

实验过程中,先将某一位置定为原点,此时增量式光栅尺上电,读数为 $0\text{ }\mu\text{m}$;绝对式容栅尺上电,记录其读数。之后,移动粗动台,在同一位置记录下容栅尺与光栅尺的读数值,得到多组数据,整个量程约为 600 mm 。最后,对比得到数据,并以容栅尺的相对位移(各个点读数值减去初始位置的读数值)为,光栅尺的相对位移为纵轴,做线性拟合。

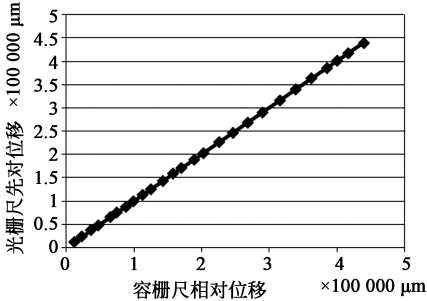


图 8 容栅尺与光栅尺测量数据线性拟合

Fig. 8 Linear fitting of the datas from grating-shape capacitive sensor and grating scale sensor

如图 8 所示,图中方点为实验数据,直线为线性拟合结果。实验发现,拟合曲线公式为 $y=$

$1.000x-13.017$,其相关度 $R^2=1$ 。容栅尺与光栅尺相比,线性度相差 $0.000\ 6$ 。按照公式修正后,两者相差在 $\pm 5\text{ }\mu\text{m}$ 之内。这满足了光刻机工件台定位的运动控制要求。

实验中未发现存在数据跳变的情况,容栅尺编码器可以长时间稳定工作。本实验时钟频率设为 3 MHz , 1 s 之中编码器可传输 $10\ 000$ 组位置数据,达到工件台粗动台数据传输要求。实验证明了此编码器接口的可靠性与实时性。

5 结 论

本文研究了 BiSS-C 接口协议的特点,并根据超精密运动系统实时性和准确性的需求,提出了用容栅尺以及 BiSS-C 绝对式编码器作为位移传感器,通过 FPGA 实现解码控制的技术方案。设计了通信接口电路并研究了 FPGA 解码算法。通过与相对式光栅尺对比标定实验,给出了容栅尺的线性补偿方法。实验结果表明,容栅尺绝对式编码器传输速率可达 10 kHz ,线性度相差 $0.000\ 6$,修正后误差在 $\pm 5\text{ }\mu\text{m}$ 之内,其可靠性与准确性满足超精密运动控制系统的要求。

参 考 文 献:

[1] 王列虎,皮佑国. 基于 BiSS 协议的编码器接口技术研究及应用[J]. 机床与液压,2011,39(8):103-105,121.
WANGL H, PI Y G. The research and application of technique of encoder interface based on BiSS protocol [J]. *Machine Tool & Hydraulics*, 2011, 39(8): 103-105, 121. (in Chinese)

[2] 肖鲲,王莉娜. 基于 FPGA 的 BiSS 协议光电编码器通信模块设计[J]. 电子测量技术,2008,31(7):188-191.
XIAOK, WANG L N. Design of communication module of BiSS protocol electric encoder based on FPGA [J]. *Electronic Measurement Technology*, 2008, 31(7): 188-191. (in Chinese)

[3] 商怀昊,韩基鹏,肖鹏,等. 基于 BiSS-C 协议的编码器的接口技术研究及其在伺服驱动系统中的应用[J]. 工业技术创新,2014,1(2):211-215.
SHANGH H, HAN J P, XIAO P, *et al.* The encoder interface technology research based on BiSS-C protocol and its application in the servo drive system [J]. *Industrial Technology Innovation*, 2014, 1(2): 211-215. (in Chinese)

[4] iC-Haus, Inc. BiSS interface [EB/OL]. [2015-03-07]. <http://ichauschina.com/en/biss.htm>.

[5] 孙大海,艾华. 基于 FPGA 双路 EnDat2.2 编码器的接口设计[J]. 液晶与显示,2014,29(5):745-750.
SUND H, AI H. Design of dual-channel EnDat2.2 interface for the encoder based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(5): 745-750. (in Chinese)

[6] 张荣. 容栅编码器研究及其应用[D]. 上海:同济大学,2007.
ZHANG R. The research on the grating-shape capacitive coder and its application [D]. Shanghai: Tongji University, 2007. (in Chinese)

[7] iC-Haus, Inc. BiSS-C-Protocol_c5es [R/OL]. [2014-09-17]. http://ichauschina.com/en/downloads/biss_dl.htm.

-
- [8] iC-Haus, Inc. BiSS_C_unidirectional_protocol_A3en [R/OL]. [2015-02-23]. <http://ichauschina.com>.
- [9] Kappasense, Ltd. CLE-AA-370_670 with BiSS C interface SDD [R/OL]. [2015-01-18]. <http://www.kappasense.com/>.
- [10] 魏家明. Verilog 编程艺术[M]. 北京:电子工业出版社,2014.
WEIJ M. *The Programming Art of Verilog* [M]. Beijing: Publishing House of Electronics Industry, 2014. (in Chinese)
- [11] 郑亚民,董晓舟. 可编程逻辑器件开发软件 QuartusII [M]. 北京:国防工业出版社,2006.
ZHENG Y M, DONG X Z. *Development Software of Programmable Logic Device - Quartus II* [M]. Beijing: National Defense Industry Press, 2006. (in Chinese)

作者简介:王希远(1991—),男,河南洛阳人,硕士研究生,主要从事超精密运动控制系统方面的研究。E-mail:wxy713@163.com